

Family list**1 application(s) for: JP3165036****1 SEMICONDUCTOR DEVICE****Inventor:** TONARI SHINICHI**EC:****Publication info:** JP3165036 (A) - 1991-07-17
JP3093224 (B2) - 2000-10-03**Applicant:** NEC CORP**IPC:** H01L21/312; H01L21/02; (IPC1-7): H01L21/312**Priority Date:** 1989-11-24Data supplied from the **espacenet** database — Worldwide

SEMICONDUCTOR DEVICE

Publication number: JP3165036 (A)

Also published as:

Publication date: 1991-07-17

JP3093224 (B2)

Inventor(s): TONARI SHINICHI +

Applicant(s): NEC CORP +

Classification:

- international: H01L21/312; H01L21/02; (IPC1-7): H01L21/312

- European:

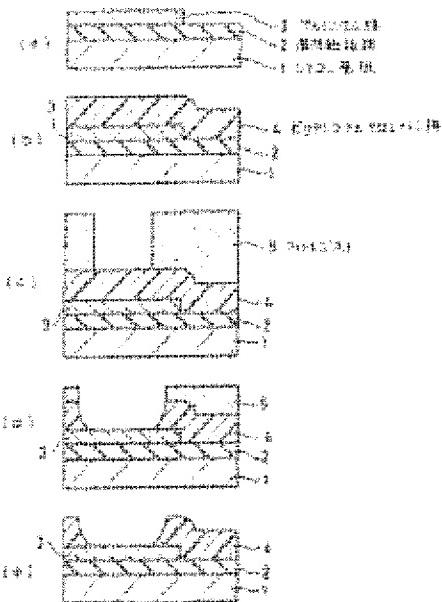
Application number: JP19890305489 19891124

Priority number(s): JP19890305489 19891124

Abstract of JP 3165036 (A)

PURPOSE: To secure moisture resistance without the increase in man-hours and the complication of steps by forming a polytetrafluoroethylene(PTFE) film as a passivation film on the surface.

CONSTITUTION: An aluminum film 3 which is to become a bonding pad electrode is formed on the surface of a silicon substrate 1 through an interlayer insulating film 2. A PTFE film 4 is formed on the surface of a substrate with respect to a semiconductor device by an RF sputtering method. Then, photoresist 5 having an opening is formed on the pad electrode. Thereafter, the photoresist and the PTFE film exposed on the pad electrode are removed by a plasma etching method. Finally, the photoresist 5 is removed, and the device is completed. The semiconductor device formed in this way is characterized by the excellent moisture resistance of the passivation film and high stress buffer capability.; Therefore, voids and wire breakdowns do not occur in the Al wiring, and leaking current is also suppressed.



Data supplied from the **espacenet** database — Worldwide

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-165036

⑬ Int.CI.⁵

H 01 L 21/312

識別記号

庁内整理番号

A

6940-5F

⑭ 公開 平成3年(1991)7月17日

審査請求 未請求 請求項の数 3 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-305489

⑰ 出 願 平1(1989)11月24日

⑱ 発明者 隣 真一 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代理人 弁理士 尾身 祐助

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- (1) 所要の回路が形成されている半導体基板の表面上をバッシベーション膜であるポリテトラフルオロエチレン膜が被覆している半導体装置。
(2) ポリテトラフルオロエチレン膜がRFスパッタリング法で形成されたものである請求項1記載の半導体装置。
(3) ポリテトラフルオロエチレン膜が真空蒸着法で形成されたものである請求項1記載の半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は半導体装置に関し、特に、回路を保護する目的でチップ表面に設けられるバッシベーション

ヨン膜に関する。

[従来の技術]

この種のバッシベーション膜に求められる機能は、チップに水分や不純物が侵入するのを防ぎ、回路のAを配線が腐食したり、素子特性が変化したりしないようにすること、チップを封入している樹脂の応力によってチップが変形したり、損傷を受けたりすることを防ぐこと等である。また、その特性としては下地との密着性や被覆性に優れていることが求められる。

このバッシベーション膜には、無機材料としては酸化シリコン、PSGや窒化シリコンが用いられ、また、有機材料としてはポリイミド膜が用いられている。

中でも窒化シリコン膜は、耐湿性やイオン耐透過性に優れていることから、信頼性が要求される半導体装置において多用されている。この窒化膜は、主としてモノシランとアンモニアまたは窒素の混合ガスを用い、低温プラズマCVD法により形成される。

また、ポリイミド膜は、ポリイミド前駆体溶液を回転塗布し、その後熱処理を施すことによって溶媒を揮発させるとともに前駆体をイミド閉環させて形成する。

[発明が解決しようとする課題]

シリコン塗化膜は、緻密で機械的損傷も受けにくいなど、バッジーション膜として優れた機能を有しているが、最近半導体装置の微細化が進むにつれ、以下の点が問題となってきている。

第1に、シリコン塗化膜下のAメタル配線にボイドが発生し、これが断線に近い状態になってしまいういう事故が発生することである。その原因は、シリコン塗化膜に内在する大きな圧縮応力がAメタル配線に引張応力として作用し、この応力を緩和するためにAメタルが変形した結果であると考えられている。

第2に、チップを樹脂封止した後熱ストレスを加えると、チップ表面のAメタル配線が押しつぶされたように変形する点である。その原因是、封入樹脂中に含まれているシリカ粒子がチップ表面を局

膜は、RFスパッタ法あるいは真空蒸着法により膜厚1～5μmに形成された膜である。

[実施例]

次に、本発明の実施例について図面を参照して説明する。

第1図(e)は、本発明の第1の実施例を示す断面図であり、第1図(a)～(d)はその製造工程を説明するための断面図である。

第1図(a)は、公知の方法によって形成された集積回路のうちポンディングパッド電極の部分を示す図であって、同図に示されるように、シリコン基板1の表面上には、ポンディングパッド電極となるアルミニウム膜3が層間絶縁膜2を介して形成されている。この半導体装置に対して、第1図(b)に示すように、RFスパッタ法により基板表面にPTFE膜4を約1μmの厚さに形成した。この膜の形成方法は以下の通りである。板状に加工したPTFEをチャンバー内のRF電極へ貼り付け、シリコン基板表面をこれと対向させる。このチャンバー内を10⁻⁶Torr以下にした

所的に押しつけるためこの箇所のシリコン塗化膜がたわみ、Aメタル配線を押しつぶすものと推定されている。

これらの諸問題を回避しうる材料としてはポリイミドが知られているが、この材料の膜は上述の点には問題はないものの耐湿性の点で劣り、吸湿により回路にリーク電流を発生させ易い欠点を有する。そこで、従来は回路の特性要求に応じて材料を使い分けたりあるいは応力を抑制するとともに耐湿性を維持する必要のある場合にはポリイミド膜とシリコン塗化膜とを併用するなどしてこれに対応してきた。このことは、多品種を製造する必要のある製造ラインに対して工程管理を複雑化することを意味し、また、同一チップに複数のバッジーション膜を併用することは工数の増加、工程の複雑化を招く。

[課題を解決するための手段]

本発明の半導体装置は、その表面にバッジーション膜としてポリテトラフルオロエチレン(以下、PTFEと記す)膜を有する。このPTFE

後、アルゴンガスを導入し10⁻²Torr程度の雰囲気とし、然る後、PTFEが装着された電極に高周波を印加することによって、イオン化したアルゴンガスをPTFE板表面に衝突させ、PTFE分子を飛散させ、電極に対向して置かれたシリコン基板1にPTFE膜をつけた。

次に、第1図(c)に示すように、通常のフォトリソグラフィー技術によりパッド電極上に開口を有する膜厚5μm程度のフォトレジスト5を形成した。

続いて、第1図(d)に示すように、プラズマエッティング法によってフォトレジスト及びパッド電極上に露出されているPTFE膜を除去した。その条件は、CF₄とO₂の混合ガスの圧力：約0.5Torr、基板加熱温度：約100°C、高周波電力：100W、エッティング時間：5分間である。PTFE膜に比較してフォトレジストの膜厚が予め大きくしてあるため、パッド電極上のPTFE膜を選択的に除去できた。最後に、通常のレジスト除去溶液を用いてフォトレジストを除去し

て第1図(e)に示す半導体装置を得た。

このようにして製造された半導体装置は、バッシベーション膜が耐温性に優れ、応力緩衝能力が高いことから、Aミ配線にポイドや断線が発生することなく、また、リーク電流も抑制されたものとなる。また、上記条件により形成された膜は下地との密着性がよく被覆性にも優れていることから、この膜が半導体装置の信頼性向上の目的に対し極めて有効であることが判明した。

次に、本発明の第2の実施例として、真空蒸着法による成膜法について説明する。真空チャンバー内にシリコン基板を装着するとともにその陽極にPTFE板を取り付け、チャンバー内を 10^{-5} Torr程度の圧力とした後、陽極と熱電子を発生する陰極との間に8kV程度の電圧を印加して0.1mA程度の電子流をPTFE板に照射することにより、PTFEを加熱蒸発させ、シリコン基板上にPTFE膜を成膜することができた。

[発明の効果]

以上説明したように、本発明は、それ自身応力

⑥ 上記方法により、密着性、被覆性に優れた膜を形成することができる。

4. 図面の簡単な説明

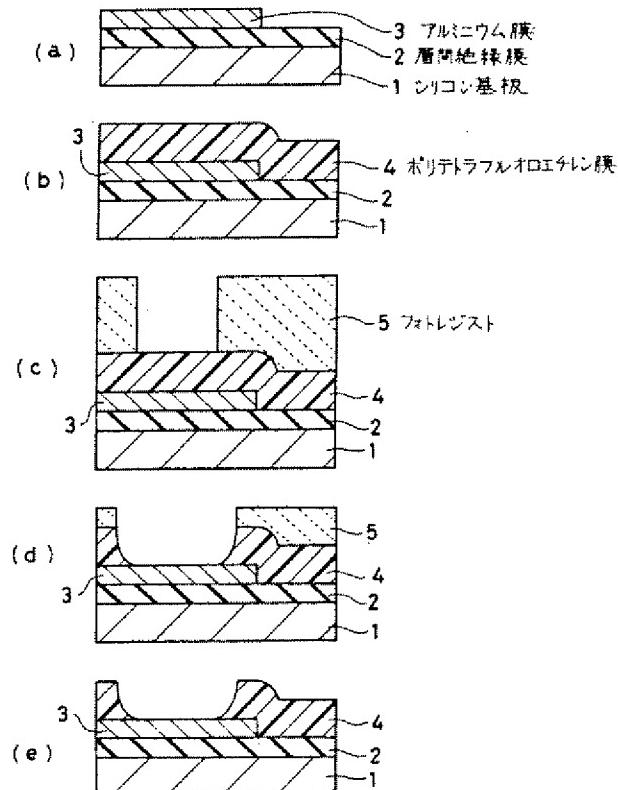
第1図(e)は、本発明の一実施例を示す断面図、第1図(a)～(d)は、その製造工程を説明するための断面図である。

1…シリコン基板、2…層間絶縁膜、3…アルミニウム膜、4…ポリテトラフルオロエチレン膜、5…フォトレジスト。

代理人 井理士 尾身祐助

緩衝性が高く、優れた耐水性を有するPTFEを用いて半導体装置のバッシベーション膜を形成したものであるので、以下の効果を奏することができる。

- ① 有機材料の膜であってもポリイミドのように吸水性は高くなないので、十分の耐温性を確保することができる。
- ② PTFE膜自身応力が小さいので下層のAミ配線に変形、損傷を与えることがない。
- ③ 熱ストレスより発生する封入樹脂中のシリカ粒子により応力はバッシベーション膜で吸収、緩和できる。
- ④ 単一の材料でまた、単独の膜で足りるので、膜材料の変更に伴う煩わしさがなくなり、また、複合膜を用いる場合のように工程が複雑化することがない。
- ⑤ 従来から広く半導体装置の製造工程において用いられてきたスパック法や真空蒸着法により成膜できるので、製造ラインへの取り込みが容易である。



第1図